

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-107313
 (43)Date of publication of application : 22.04.1997

(51)Int.CI.

H04B 3/06
 H03H 21/00
 H04J 14/08
 H04J 3/08

(21)Application number : 07-262837

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 11.10.1995

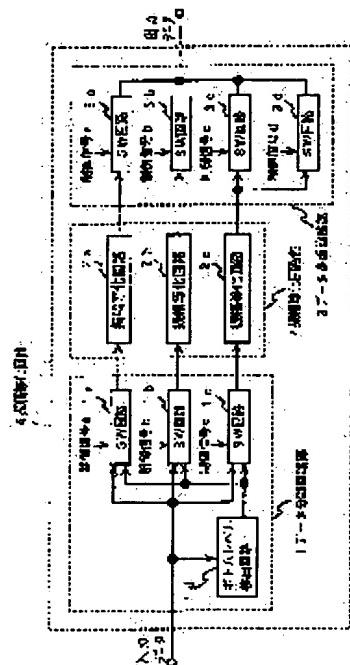
(72)Inventor : UNO HITOSHI

(54) AMPLITUDE EQUALIZATION CIRCUIT, CLOCK EXTRACT CIRCUIT AND OPTICAL RECEPTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an amplitude equalization circuit capable of receiving data even without a preamble and without the need for a high speed response by inputting only data whose amplitude is constant to each amplitude equalization circuit.

SOLUTION: Input data consisting of burst signals with different amplitude in time sharing multiplex are given to a bottom level detection circuit 1d and SW circuits 1a, 1b, 1c of a data demultiplex circuit section 1. The circuit section 1a is controlled by a control signal (a) corresponding to a time slot of a terminal equipment #1 to select input data only for a time slot of the terminal equipment #1, to give the selected data to an amplitude equalization circuit 2a, and to select an output of the circuit 1d in other cases and to input the selected data to the circuit 2a. The circuits 1b, 1c are controlled by signals b, c corresponding to the time slot of terminal equipments #2, #3, the input data to select the input data only at the time slot of the terminal equipments #2, #3, to provide the selected data to amplitude equalization circuit sections 2b, 2c and to select an output of the circuit 1d in other cases and to provide the selected data to the circuits 2b, 2c. An output of the circuit 1a (1b, 1c) is given respectively to the circuit 2a (2b, 2c), in which the amplitude is equalized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-107313

(43)公開日 平成9年(1997)4月22日

(51) Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 04 B 3/06			H 04 B 3/06	A
H 03 H 21/00		9274-5 J	H 03 H 21/00	
H 04 J 14/08			H 04 J 3/08	A
3/08			H 04 B 9/00	D

審査請求 未請求 請求項の数10 O L (全13頁)

(21)出願番号 特願平7-262837

(22)出願日 平成7年(1995)10月11日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 宇野 均

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

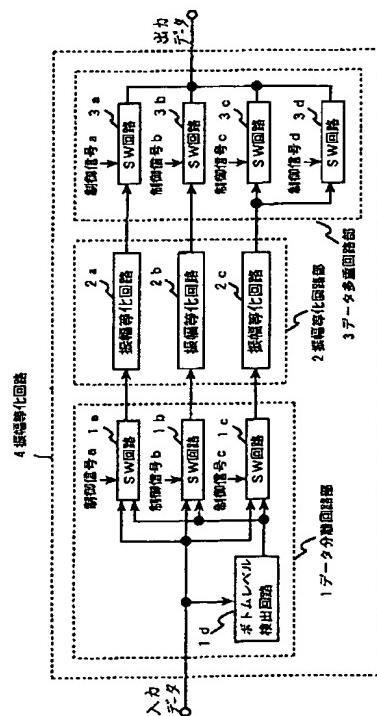
(74)代理人 弁理士 松村 博

(54)【発明の名称】 振幅等化回路とクロック抽出回路及び光受信回路

(57)【要約】

【課題】 光通信方式の局装置において、従来の光受信回路を用いた場合、振幅等化回路とクロック抽出回路はバーストデータごとに振幅等化とクロック抽出を行わなければならず、各バースト信号の先頭にはプリアンブルとよばれるビットが必要となる。このプリアンブルは伝送効率を低下させるため、振幅等化回路とクロック抽出回路を高速応答化し、プリアンブルを短くする必要がある。しかし、振幅等化回路の高速応答化は同符号連続耐力の低下を招き、クロック抽出回路の高速応答化はジッタの増加と同符号連続耐力の低下を招くという問題があった。

【解決手段】 各端末装置からの光バースト信号のタイムスロットに対応した制御信号によってデータ分離回路部1が入力データを各端末装置からのデータごとに分離することにより、振幅等化回路2a, 2b, 2cには、それぞれ振幅のそろったデータのみが入力される。そのため近接する振幅の異なったバーストデータごとに振幅等化を行う必要がなくなるため、高速応答性を必要とせずに伝送効率のよい振幅等化回路を構成できる。



【特許請求の範囲】

【請求項1】 複数の各端末装置からのバーストデータが時分割多重化された信号の受信データ列を複数の各端末装置からのデータごとに分離するデータ分離回路部と、前記データ分離回路部によって分離されたデータごとに振幅等化する複数の振幅等化回路からなる振幅等化回路部と、前記振幅等化回路部の振幅等化回路によって個々に振幅等化された複数の信号を入力し、分離されたデータを再び時分割多重化するデータ多重回路部とを有することを特徴とする振幅等化回路。

【請求項2】 前記データ分離回路部は、受信データ列のボトムレベルを検出するボトムレベル検出回路と、複数の各端末装置のタイムスロット間だけHレベルを出力する複数の制御信号により制御されて前記ボトムレベル検出回路の出力と受信データ列を入力として切り替える複数のスイッチ回路とから構成され、前記データ多重回路部は、前記振幅等化回路部における個々の振幅等化回路と出力端子間に接続され前記複数の制御信号のいずれかによって開閉される複数のスイッチ回路と、前記振幅等化回路部における個々の振幅等化回路のいずれか1つの振幅等化回路と出力端子の間に接続され前記複数の制御信号のNORに相当するもう1つの制御信号によって開閉されるスイッチ回路とから構成されたことを特徴とする請求項1記載の振幅等化回路。

【請求項3】 前記データ多重回路部をOR回路で構成し、各端末装置のタイムスロット間だけHレベルを出力する複数の制御信号のNORに相当するもう1つの制御信号を必要としないようにしたことを特徴とする請求項2記載の振幅等化回路。

【請求項4】 複数の各端末装置からのバーストデータが時分割多重化された信号の受信データ列を複数の各端末装置からのデータごとに分離するデータ分離回路部と、前記データ分離回路部によって分離されたデータごとにピークレベルを検出する複数のピークレベル検出回路からなるピークレベル検出回路部と、前記ピークレベル検出回路部のピークレベル検出回路によって複数の各端末装置のデータごとに検出されたピークレベルをタイムスロット順に出力し、データがない場合は直前のタイムスロット時のピークレベルを出力するピークレベル選択回路部と、前記ピークレベル選択回路部の出力と前記データ分離回路部におけるボトムレベル検出回路の出力との中間レベルを生成する中間レベル生成回路と、前記中間レベル生成回路の出力をしきい値とし、前記受信データ列を増幅するリミッタアンプとを有することを特徴とする振幅等化回路。

【請求項5】 前記データ分離回路部は、受信データ列のボトムレベルを検出するボトムレベル検出回路と、複数の各端末装置のタイムスロット間だけHレベルを出力する複数の制御信号により制御されて前記ボトムレベル検出回路の出力と受信データ列を入力として切り替える

複数のスイッチ回路とから構成され、前記ピークレベル選択回路部は、前記ピークレベル検出回路部における個々のピークレベル検出回路と出力端子間に接続され前記複数の制御信号のいずれかによって開閉される複数のスイッチ回路と、前記個々のピークレベル検出回路のいずれか1つのピークレベル検出回路と出力端子の間に接続され前記複数の制御信号のNORに相当するもう1つの制御信号によって開閉されるスイッチ回路とから構成されたことを特徴とする請求項4記載の振幅等化回路。

10 【請求項6】 前記中間レベル生成回路に用いられる受信データ列のボトムレベル検出を行うボトムレベル検出回路と、前記データ分離回路部内で用いられる受信データ列のボトムレベル検出を行うボトムレベル検出回路とを共用することを特徴とする請求項5記載の振幅等化回路。

【請求項7】 複数の各端末装置からのバーストデータが時分割多重化された信号の受信データ列を複数の各端末装置からのデータごとに分離するデータ分離回路部と、前記データ分離回路部によって分離されたデータごとのクロックを抽出する複数のクロック抽出回路からなるクロック抽出回路部と、前記クロック抽出回路部のクロック抽出回路によって抽出された複数のクロックを入力し、複数の各端末装置ごとに抽出されたクロックを時分割多重化するクロック多重回路部とを有することを特徴とするクロック抽出回路。

【請求項8】 前記データ分離回路部は、受信データ列のボトムレベルを検出するボトムレベル検出回路と、複数の各端末装置のタイムスロット間だけHレベルを出力する複数の制御信号により制御されて前記ボトムレベル検出回路の出力と受信データ列を入力として切り替える複数のスイッチ回路とから構成され、前記クロック多重回路部は、前記クロック抽出回路部における個々のクロック抽出回路と出力端子間に接続され前記複数の制御信号のいずれかによって開閉される複数のスイッチ回路と、前記個々のクロック抽出回路のいずれか1つのクロック抽出回路と出力端子の間に接続され前記複数の制御信号のNORに相当するもう1つの制御信号によって開閉されるスイッチ回路とから構成されたことを特徴とする請求項7記載のクロック抽出回路。

40 【請求項9】 複数の各端末装置からのバーストデータが時分割多重化された信号の受信データ列を光・電気変換を行う受光素子と、前記受光素子によって得られる光電流を電圧に変換し増幅するプリアンプと、前記受信データ列を複数の各端末装置からのデータごとに分離するデータ分離回路部、前記データ分離回路部によって分離されたデータごとに使用される複数の振幅等化回路からなる振幅等化回路部、前記振幅等化回路部の振幅等化回路によって振幅等化された複数の信号を入力し、各端末装置ごとに分離されたデータを再び時分割多重化するデータ多重回路部とからなる振幅等化回路と、前記複数の

振幅等化回路に接続される複数のクロック抽出回路からなるクロック抽出回路部と、前記クロック抽出回路部のクロック抽出回路によって抽出された複数のクロックを入力し、複数の各端末装置ごとに抽出されたクロックを時分割多重化するクロック多重回路部と、前記クロック多重回路部からのクロックに基づき前記振幅等化回路部からの出力データの再生を行うデータ再生回路とを有することを特徴とする光受信回路。

【請求項10】 前記データ分離回路部は、受信データ列のボトムレベルを検出するボトムレベル検出回路と、複数の各端末装置のタイムスロット間だけHレベルを出力する複数の制御信号により制御されて前記ボトムレベル検出回路の出力と受信データ列を入力として切り替える複数のスイッチ回路とから構成され、前記データ多重回路部は、前記振幅等化回路部における個々の振幅等化回路と出力端子間に接続され前記複数の制御信号のいずれかによって開閉される複数のスイッチ回路と、前記個々の振幅等化回路のいずれか1つの振幅等化回路と出力端子の間に接続され前記複数の制御信号のNORに相当するもう1つの制御信号によって開閉されるスイッチ回路とから構成され、前記クロック多重回路部は、前記個々のクロック抽出回路と出力端子間に接続され前記複数の制御信号のいずれかによって開閉される複数のスイッチ回路と、前記個々のクロック抽出回路のいずれか1つのクロック抽出回路と出力端子の間に接続され前記複数の制御信号のNORに相当するもう1つの制御信号によって開閉されるスイッチ回路とを有することを特徴とする請求項9記載の光受信回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は1つの局装置と複数の端末装置とが光ファイバと光分配器で接続された光通信網によって時分割多重化で通信を行い、かつ、決められたタイムスロットに各端末装置からの光バースト信号を収容する光通信方式において、前記局装置に備えられた光受信装置の振幅等化回路とクロック抽出回路及び光受信回路に関するものである。

【0002】

【従来の技術】 図10は本発明が実施の対象としている光通信網の1つの系統例図である。これは、1つの局装置24と複数(図例では3台)の各端末装置25a, 25b, 25cとが光ファイバ26a, 26b, 26c, 26dと光分配器27によって接続された光通信網によって時分割多重化で通信を行い、かつ、決められたタイムスロットに各端末装置25a, 25b, 25cからの光バースト信号を収容する光通信方式である。この光通信方式においては、光分配器27と各端末装置25a, 25b, 25cとの距離がそれぞれ異なるために、局装置24において受光される各端末装置25a, 25b, 25cからのバーストデータ列は、振幅と位相がばらばらになる。

【0003】 図11は図10に示す局装置における従来の光受信回路の構成を示すブロック図である。これは、光ファイバ26dからの入射光(バーストデータ列)が、受光素子19で光・電気変換を行い、プリアンプ20で前記受光素子19によって得られた光電流を、例えば図12に示すように#1, #2, #3の電圧に変換し増幅する。そして振幅等化回路21で前記プリアンプ20の出力信号の振幅を一定としクロック抽出回路22とデータ再生回路23へ出力する。個の振幅が一定の出力信号に基づいてクロック抽出回路22は出力クロック22Cを再生し、この再生された出力クロック22Cによってデータ再生回路23は前記振幅等化回路21の出力信号を出力データ23Dとして出力する。

【0004】 このように上記従来の光受信回路では、プリアンプ20の出力信号の振幅を振幅等化回路21によって常に一定にしているため、光受信レベルが変動する場合でも、出力データ23Dと出力クロック22Cの再生を行うことができる。

【0005】

【発明が解決しようとする課題】 しかしながら、前記図20 11に示す従来の光受信回路を用いた場合、振幅等化回路21とクロック抽出回路22はバーストデータごとに振幅等化とクロック抽出を行わなければならず、各バースト信号の先頭にはプリアンブルと呼ばれるビットが必要となる。このプリアンブルは伝送効率を低下させるため、振幅等化回路21の高速応答化は同符号連続耐力の低下を招き、クロック抽出回路22の高速応答化はジッタの増加と同符号連続耐力の低下を招くという問題があった。

【0006】 本発明はこのような従来の問題を解決するものであり、高速応答性を必要とせずにプリアンブルをなくすことのできる振幅等化回路の提供を第1の目的とする。

【0007】 また、高速応答性を必要とせずにプリアンブルをなくすことのできるクロック抽出回路の提供を第2の目的とする。

【0008】 さらに、振幅等化回路とクロック抽出回路を組み合わせることにより、プリアンブルを全く必要とせずに伝送効率の高い光受信回路の提供を第3の目的とする。

【0009】

【課題を解決するための手段】 本発明は上記第1の目的を達成するために、局装置において、振幅等化回路の第1の手段は、複数の各端末装置からのバーストデータが時分割多重化された信号の受信データ列を複数の各端末装置からのデータごとに分離するデータ分離回路部と、前記データ分離回路部によって分離されたデータごとに振幅等化する複数の振幅等化回路からなる振幅等化回路部と、前記振幅等化回路部の振幅等化回路によって個々に振幅等化された複数の信号を入力し、分離されたデータを再び時分割多重化するデータ多重回路部とを有することを特徴とする。

【0010】また、振幅等化回路の第2の手段は、複数の各端末装置からのバーストデータが時分割多重化された信号の受信データ列を複数の各端末装置からのデータごとに分離するデータ分離回路部と、前記データ分離回路部によって分離されたデータごとにピークレベルを検出する複数のピークレベル検出回路からなるピークレベル検出回路部と、前記ピークレベル検出回路部のピークレベル検出回路によって複数の各端末装置のデータごとに検出されたピークレベルをタイムスロット順に出力し、データがない場合は直前のタイムスロット時のピークレベルを出力するピークレベル選択回路部と、前記ピークレベル選択回路部の出力と前記データ分離回路部におけるボトムレベル検出回路の出力との中間レベルを生成する中間レベル生成回路と、前記中間レベル生成回路の出力をしきい値とし、前記受信データ列を増幅するリミッタアンプとを有することを特徴とする。

【0011】また、クロック抽出回路は、複数の各端末装置からのバーストデータが時分割多重化された信号の受信データ列を複数の各端末装置からのデータごとに分離するデータ分離回路部と、前記データ分離回路部によって分離されたデータごとのクロックを抽出する複数のクロック抽出回路からなるクロック抽出回路部と、前記クロック抽出回路部のクロック抽出回路によって抽出された複数のクロックを入力し、複数の各端末装置ごとに抽出されたクロックを時分割多重化するクロック多重回路部とを有することを特徴とする。

【0012】また、光受信回路は、複数の各端末装置からのバーストデータが時分割多重化された信号の受信データ列を光・電気変換を行う受光素子と、前記受光素子によって得られる光電流を電圧に変換し増幅するプリアンプと、前記受信データ列を複数の各端末装置からのデータごとに分離するデータ分離回路部、前記データ分離回路部によって分離されたデータごとに使用される複数の振幅等化回路からなる振幅等化回路部、前記振幅等化回路部の振幅等化回路によって振幅等化された複数の信号を入力し、各端末装置ごとに分離されたデータを再び時分割多重化するデータ多重回路部とからなる振幅等化回路と、前記複数の振幅等化回路に接続される複数のクロック抽出回路からなるクロック抽出回路部と、前記クロック抽出回路部のクロック抽出回路によって抽出された複数のクロックを入力し、複数の各端末装置ごとに抽出されたクロックを時分割多重化するクロック多重回路部と、前記クロック多重回路部からのクロックに基づき前記振幅等化回路部からの出力データの再生を行うデータ再生回路とを有することを特徴とする。

【0013】

【作用】したがって、本発明の振幅等化回路によれば、時分割多重化されたデータのタイムスロットが予め既知であることを利用して複数の各端末装置からの入力データはそれぞれ個別の振幅等化回路に入力され、各振幅等

化回路には振幅が一定であるデータのみが入力されるため、バーストデータごとに振幅等化を行う必要がなく、振幅のばらばらである時分割多重アクセス(TDMA)データを高速応答性を必要とせずにプリアンブルなしで伝送効率良く振幅等化することができる。

【0014】本発明のクロック抽出回路によれば、複数の各端末装置からの入力データは、データごとにそれぞれ別のクロック抽出回路に送られ、各クロック抽出回路には位相が一定であるデータのみが入力されるため、バーストデータごとにクロック抽出を行う必要がなく、位相のばらばらであるTDMAデータを高速応答性を必要とせずにプリアンブルなしで伝送効率良くクロックを抽出できる。

【0015】本発明の光受信回路によれば、上記の振幅等化回路とクロック抽出回路を組み合わせることにより、振幅と位相がばらばらであるTDMAデータを高速応答性を必要とせずにプリアンブルなしで伝送効率良く受信することができる。

【0016】

【実施例】図1は本発明の第1の実施例における振幅等化回路の構成を示すブロック図である。これは従来例の図10と同様に端末装置25が3台の場合について例示している。図1において、1は受信データ列を各端末装置からのデータごとに分離するデータ分離回路部であり、このデータ分離回路部1は、受信データ列のボトムレベルを検出するボトムレベル検出回路1dと、各端末装置のタイムスロット間だけHレベルを出力する複数の制御信号a, b, cにより制御され、前記ボトムレベル検出回路1dの出力と受信データ列を入力として切り替える複数のスイッチ(SW)回路1a, 1b, 1cとから構成される。

【0017】2は前記データ分離回路部1によって分離されたデータごとに使用される複数の振幅等化回路2a, 2b, 2cを有する振幅等化回路部である。3は、振幅等化された複数の信号を入力し、分離されたデータを再び時分割多重化するデータ多重回路部であり、このデータ多重回路部3は、前記複数の制御信号a, b, cとそれらのNORに相当するもう1つの制御信号dによって開閉される複数のスイッチ(SW)回路3a, 3b, 3c, 3dとから構成される。これらデータ分離回路部1, 振幅等化回路部2及びデータ多重回路部3で振幅等化回路4が構成される。

【0018】次に上記第1の実施例における振幅等化回路4の動作について図2, 図3のタイムチャートを用いて説明する。図2(1)に示す振幅の異なるバースト信号が時分割多重化された入力データ(受信データ列)は、データ分離回路部1のボトムレベル検出回路1dとSW回路1a, 1b, 1cに入力される。ボトムレベル検出回路1dは入力データのボトムレベルを検出し、図2(2)に示す検出出力をSW回路1a, 1b, 1cに入力する。SW

回路 1a は端末装置 #1 のタイムスロットに対応した図 2(3)に示す制御信号 a により制御され、端末装置 #1 のタイムスロット時のみ入力データを選択して振幅等化回路部 2 の振幅等化回路 2a に入力し、その他のときは前記ボトムレベル検出回路 1d の出力を選択して振幅等化回路 2a に入力する。SW 回路 1b, 1c は端末装置 #2, #3 のタイムスロットに対応した図 2(4), (5) に示す制御信号 b, c により制御され、端末装置 #2, #3 のタイムスロット時のみ入力データを選択して振幅等化回路部 2 の振幅等化回路 2b, 2c に入力し、その他のときは前記ボトムレベル検出回路 1d の出力を選択して振幅等化回路 2b, 2c に入力する。これによって、各 SW 回路 1a, 1b, 1c の出力は図 2(6), (7), (8) に示すように、受信データ列を個々の端末装置 #1, #2, #3 のデータごとに分離したものになる。SW 回路 1a, 1b, 1c の出力はそれぞれ振幅等化回路 2a, 2b, 2c に入力され振幅等化される。振幅等化回路 2a, 2b, 2c の出力データの出力タイムチャートを図 3 に示す。

【0019】図 3(1), (2), (3) に示す各振幅等化回路 2a, 2b, 2c の出力はデータ多重回路部 3 に入力される。データ多重回路部 3 の SW 回路 3a は端末装置 #1 のタイムスロットに対応する図 3(4) に示す制御信号 a によって制御され、端末装置 #1 のタイムスロット時のみ短絡され振幅等化回路 2a の出力を振幅等化回路 4 の出力データとする。同様に SW 回路 3b, 3c は端末装置 #2, #3 のタイムスロットに対応する図 3(5), (6) に示す制御信号 b, c によって制御され、端末装置 #2, #3 のタイムスロット時のみ短絡され振幅等化回路 2b, 2c の出力を振幅等化回路 4 の出力データとする。

【0020】また、SW 回路 3d は制御信号 a, b, c の NOR に相当する図 3(7) に示す制御信号 d によって制御され、入力データがない場合に短絡され振幅等化回路 2c の出力を振幅等化回路 4 の出力データとする。すなわち、図 3 の出力データのタイムチャートに示すように、図 1 の回路は振幅等化回路として動作しており、出力データは図 3(8) に示すように入力データの振幅を一定にしたものになる。

【0021】このように、上記第 1 の実施例によれば、各端末装置 #1, #2, #3 からの入力データはそれぞれ個別の振幅等化回路 2a, 2b, 2c に送られ、これら各振幅等化回路 2a, 2b, 2c には振幅の一定であるデータのみが入力されるため、バーストデータごとに振幅等化を行う必要がなく、高速応答性を必要とせず、また伝送効率を低下させるプリアンブルを必要としない。

【0022】図 4 は本発明の第 2 の実施例における振幅等化回路の構成を示すブロック図である。これも端末装置が 3 台の場合について例示してある。図 4 において、前記第 1 の実施例(図 1)と同じ機能のブロックには同じ符号を付し、その説明を省略する。ここで、図 1 の構成と異なる点は、データ多重回路部 3 に代え、振幅等化回

路部 2 で振幅等化された複数の信号を入力する OR 回路 5 を有する。

【0023】次に上記第 2 の実施例における振幅等化回路の動作について図 5 のタイムチャートを用いて説明する。データ分離回路部 1 と振幅等化回路部 2 の動作は上記第 1 の実施例の場合と同様であるので説明を省略する。ここで、振幅等化回路 2a, 2b, 2c の図 5(1), (2), (3) に示す出力は OR 回路 5 に入力され、その出力が振幅等化回路 6 の出力データ(図 5(4))となる。すなわち、図 5 に振幅等化回路 2a, 2b, 2c の出力タイムチャートと出力データのタイムチャートを示すように、図 4 の回路は振幅等化回路として動作しており、出力データは図 5(4) に示すように入力データの振幅を一定にしたものになる。

【0024】このように、上記第 2 の実施例によれば、上記第 1 の実施例と同様に各端末装置 #1, #2, #3 からの入力データはそれぞれ個別の振幅等化回路 2a, 2b, 2c に送られ、各振幅等化回路 2a, 2b, 2c には振幅の一定であるデータのみが入力されるため、バーストデータごとに振幅等化を行う必要がなく、高速応答性を必要せず、また、伝送効率を低下させるプリアンブルを必要としない。さらに上記第 2 の実施例では上記第 1 の実施例で用いられている制御信号 d を必要とせず、制御系が簡略化される。

【0025】図 6 は本発明の第 3 の実施例における振幅等化回路の構成を示すブロック図である。これも端末装置が 3 台の場合について例示してある。図 6 において、前記第 1 の実施例(図 1)と同じ機能のブロックには同じ符号を付し、その説明を省略する。ここで、7 はデータ分離回路部 1 によって分離されたデータごとにそのピークレベルを検出する複数のピークレベル検出回路 7a, 7b, 7c を有するピークレベル検出回路部、8 は前記ピークレベル検出回路 7a, 7b, 7c で検出された複数のピークレベルを入力し、タイムスロットに応じたデータのピークレベルを選択するピークレベル選択回路部である。このピークレベル選択回路部 8 は、複数の制御信号 a, b, c とそれらの NOR に相当するもう 1 つの制御信号 d によって開閉される複数のスイッチ(SW)回路 8a, 8b, 8c, 8d から構成される。9 はピークレベル選択回路部 8 の出力とデータ分離回路部 1 内のボトムレベル検出回路 1d の出力の中間レベルを生成する中間レベル生成回路、10 は中間レベル生成回路 9 の出力をしきい値として入力データを増幅するリミッタアンプである。

【0026】上記第 3 の実施例における振幅等化回路の動作について図 7 のタイムチャートを用いて説明する。データ分離回路部 1 の動作は上記第 1 の実施例の場合と同様であるので説明を省略する。SW 回路 1a, 1b, 1c の出力はそれぞれピークレベル検出回路部 7a, 7b, 7c に入力され、図 7(1),

(2), (3)に示すようにそれらのピークレベルが検出される。ピークレベル検出回路7a, 7b, 7cの出力はピークレベル選択回路部8に入力される。ピークレベル選択回路部8のSW回路8aは端末装置#1のタイムスロットに対応する制御信号aによって制御され、端末装置#1のタイムスロット時のみ短絡されピークレベル検出回路7aの出力、つまり、図7(4)に示すピークレベル選択回路部8(SW回路8a)の出力を中間レベル生成回路9に入力する。

【0027】同様にSW回路8b, 8cは端末装置#2, #3のタイムスロットに対応する制御信号b, cによって制御され、端末装置#2, #3のタイムスロット時のみ短絡されピークレベル検出回路7b, 7cの出力、つまり、図7(4)に示すピークレベル選択回路部8(SW回路8b, 8c)の出力を中間レベル生成回路9に入力する。SW回路8dは制御信号a, b, cのNORに相当する制御信号dによって制御され、入力データがない場合に短絡されピークレベル検出回路7cの出力を中間レベル生成回路9に入力する。

【0028】中間レベル生成回路9にはピークレベル選択回路部8の図7(4)に示す出力信号とボトムレベル検出回路1dの図7(5)に示す出力信号が入力され、それの中間レベルを生成して出力(図7(6))する。この中間レベル生成回路9の図7(6)に示す出力はしきい値としてリミッタアンプ10に入力され、リミッタアンプ10は入力データを増幅し、その出力を振幅等化回路11の出力データ(図7(7))として出力する。すなわち、図7に示すように図6の回路は振幅等化回路として動作しており、出力データは図7(7)に示すように入力データの振幅を一定にしたものになる。

【0029】このように、上記第3の実施例によれば、各端末装置#1, #2, #3からの入力データはそれぞれ個別のピークレベル検出回路7a, 7b, 7cに送られ、これら各ピークレベル検出回路7a, 7b, 7cには振幅が一定であるデータのみが入力されるため、バーストデータごとにピークレベル検出を行う必要がなく、リミッタアンプ10の入力しきい値をバーストデータの入力前から与えることができる。また、伝送効率を低下させるプリアンブルを必要としない。

【0030】図8は本発明の第4の実施例におけるクロック抽出回路の構成を示すブロック図である。これも端末装置が3台の場合について例示してある。図8において、12は受信データ列を各端末装置からのデータごとに分離するデータ分離回路部であり、このデータ分離回路部12は、受信データ列のボトムレベルを検出するボトムレベル検出回路12dと、各端末装置のタイムスロットに対応した複数の制御信号a, b, cにより制御され、前記ボトムレベル検出回路12dの出力と受信データ列を入力として切り替える複数のスイッチ(SW)回路12a, 12b, 12cとから構成される。

10

【0031】13は前記データ分離回路部12によって分離されたデータごとに使用される複数のクロック抽出回路13a, 13b, 13cを有するクロック抽出回路部である。14は抽出された複数のクロックを入力し、各端末装置ごとに抽出されたクロックを時分割多重化するクロック多重回路部であり、このクロック多重回路部14は、前記複数の制御信号a, b, cとそれらのNORに相当するもう1つの制御信号dによって開閉される複数のスイッチ(SW)回路14a, 14b, 14c, 14dとから構成される。

10 【0032】次に上記第4の実施例におけるクロック抽出回路の動作について説明する。位相の異なるバースト信号が時分割多重化された受信データ列が、データ分離回路部12のボトムレベル検出回路12dとSW回路12a, 12b, 12cに入力される。ボトムレベル検出回路12dは入力データのボトムレベルを検出し、その出力をSW回路12a, 12b, 12cに入力する。SW回路12aは端末装置#1のタイムスロットに対応した制御信号aにより制御され、端末#1のタイムスロット時の入力データを選択してクロック抽出回路13aのクロック抽出回路13aに入力し、その他のときは前記ボトムレベル検出回路12dの出力を選択してクロック抽出回路13aに入力する。

【0033】同様にSW回路12b, 12cは端末装置#2, #3のタイムスロットに対応した制御信号b, cにより制御され、端末装置#2, #3のタイムスロット時の入力データを選択してクロック抽出回路13b, 13cに入力し、その他のときは前記ボトムレベル検出回路12dの出力を選択してクロック抽出回路13b, 13cに入力する。これによって、SW回路12a, 12b, 12cの出力は入力データ列を個々の端末装置#1, #2, #3のデータごとに分離したものになる。

【0034】SW回路12a, 12b, 12cの出力はそれぞれクロック抽出回路13a, 13b, 13cに入力されクロックが抽出される。クロック抽出回路13a, 13b, 13cによって抽出されたクロックはクロック多重回路部14に入力される。クロック多重回路部14のSW回路14aは端末装置#1のタイムスロットに対応した制御信号aにより制御され、端末#1のタイムスロット時の入力データを選択してクロック抽出回路13aによって抽出されたクロックをクロック抽出回路15の出力クロックとする。

40 【0035】同様にSW回路14b, 14cは端末装置#2, #3のタイムスロットに対応する制御信号b, cによって制御され、端末装置#2, #3のタイムスロット時の入力データを選択してクロック抽出回路13b, 13cによって抽出されたクロックをクロック抽出回路15の出力クロックとする。SW回路14dは制御信号a, b, cのNORに相当する制御信号dによって制御され、入力データがない場合に短絡されクロック抽出回路13cによって抽出されたクロックをクロック抽出回路15の出力クロックとする。

【0036】このように、上記第4の実施例によれば、各端末装置#1, #2, #3からの入力データはそれぞ

れ個別のクロック抽出回路13a, 13b, 13cに送られ、各クロック抽出回路13a, 13b, 13cには位相の一定であるデータのみが入力されるため、バーストデータごとにクロック抽出を行う必要がなく、高速応答性が必要とされない。また、伝送効率を低下させるプリアンプルを必要としない。

【0037】図9は本発明の第5の実施例における光受信回路の構成を示すブロック図である。これも端末装置が3台の場合について例示してある。図9において、16は光・電気変換を行う受光素子、17は受光素子16によって得られる光電流を電圧に変換し増幅するプリアンプ、4は本発明の第1の実施例(図1)における振幅等化回路、13は振幅等化回路4内の振幅等化回路2a, 2b, 2cの出力データごとに使用される複数のクロック抽出回路13a, 13b, 13cを有するクロック抽出回路部、14は、抽出された複数のクロックを入力し、各端末装置ごとに抽出されたクロックを時分割多重化するクロック多重回路部である。18は振幅等化回路4の出力データとクロック多重回路部14の出力クロックを入力してデータの再生を行うデータ再生回路である。なお、クロック抽出回路部13とクロック多重回路部14は前記第4の実施例(図8)の場合と同様の構成である。

【0038】次に上記第5の実施例における光受信回路の動作について説明する。レベルの異なるバースト信号が時分割多重化された入射光が受光素子16に入力され光・電気変換される。前記受光素子16によって得られた光電流はプリアンプ17によって電圧に変換され増幅される。プリアンプ17の出力は振幅等化回路4に入力され振幅等化される。振幅等化回路4の動作は上記第1の実施例(図1)と同様である。振幅等化回路4内の振幅等化回路2a, 2b, 2cの出力データは、データ多重回路部3に入力されるとともにクロック抽出回路部13のクロック抽出回路13a, 13b, 13cに入力され、それぞれのクロックが抽出される。クロック抽出回路部13とクロック多重回路部14の動作は上記第4の実施例(図8)の場合と同様であり、クロック多重回路部14の出力が光受信回路の出力クロックとなる。このクロック多重回路部14からの出力クロックと振幅等化回路4の出力データがデータ再生回路18に入力され、データが再生され出力される。

【0039】このように、上記第5の実施例によれば、各端末装置#1, #2, #3からの入力データはそれぞれ個別の振幅等化回路2a, 2b, 2cとクロック抽出回路13a, 13b, 13cに送られ、各振幅等化回路2a, 2b, 2cと各クロック抽出回路13a, 13b, 13cには振幅と位相のそろったデータのみが入力されるため、バーストデータごとに振幅等化とクロック抽出を行う必要がなく、高速応答性を必要としないし、また、伝送効率を低下させるプリアンプルを必要としない。

【0040】

【発明の効果】以上説明したように本発明は、各端末装

置からの入力データはそれぞれ個別の振幅等化回路に送られ、各振幅等化回路には振幅が一定であるデータのみが入力されるため、バーストデータごとに振幅等化を行う必要がなく、振幅のばらばらであるT D M A データを高速応答性を必要とせずにプリアンプルなしで受信できる振幅等化回路を構成できる。

【0041】そして、各端末装置からの入力データは、それぞれ個別のクロック抽出回路に送られ、各クロック抽出回路には位相が一定であるデータのみが入力されるため、バーストデータごとにクロック抽出を行う必要がなく、位相のばらばらであるT D M A データを高速応答性を必要とせずにプリアンプルなしで受信できるクロック抽出回路を構成できる。

【0042】さらに、それら振幅等化回路とクロック抽出回路を組み合わせることにより、プリアンプルを全く必要とせず伝送効率の高い光受信回路を構成できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における振幅等化回路の構成を示すブロック図である。

【図2】図1の入力データ列に対するボトムレベル検出回路1dとSW回路1a, 1b, 1cの出力タイムチャートである。

【図3】図1の振幅等化回路2a, 2b, 2cの出力と出力データ列のタイムチャートである。

【図4】本発明の第2の実施例における振幅等化回路の構成を示すブロック図である。

【図5】図4の振幅等化回路2a, 2b, 2cの出力タイムチャートと出力データ列のタイムチャートである。

【図6】本発明の第3の実施例における振幅等化回路の構成を示すブロック図である。

【図7】図6のピークレベル検出回路7a, 7b, 7cとピークレベル選択回路部8とボトムレベル検出回路1d及び中間レベル生成回路9の出力タイムチャートと出力データ列のタイムチャートである。

【図8】本発明の第4の実施例におけるクロック抽出回路の構成を示すブロック図である。

【図9】本発明の第5の実施例における光受信回路の構成を示すブロック図である。

【図10】本発明の実施の対象としている光通信網の1つの系統例図である。

【図11】図10に示す局装置における従来の光受信回路の構成を示すブロック図である。

【図12】図11の光受信回路に入力されるデータ列の一例を示す図である。

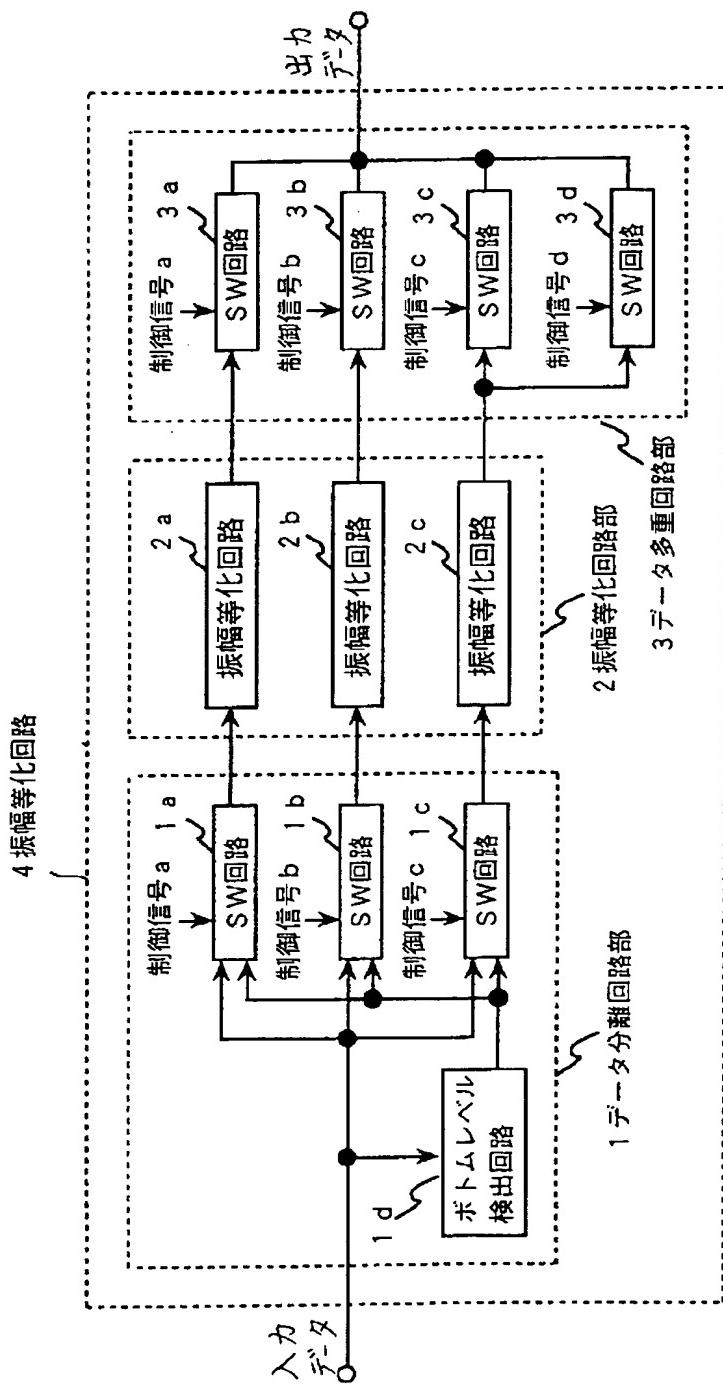
【符号の説明】

1, 12…データ分離回路部、 1a, 1b, 1c, 3a, 3b, 3c, 3d, 8a, 8b, 8c, 8d, 12a, 12b, 12c, 14a, 14b, 14c, 14d…SW回路、 1d…ボトムレベル検出回路、 2…振幅等化回路部、 2a, 2b, 2c…振幅等化回路、 3…データ多重回路部、 4, 6, 11…

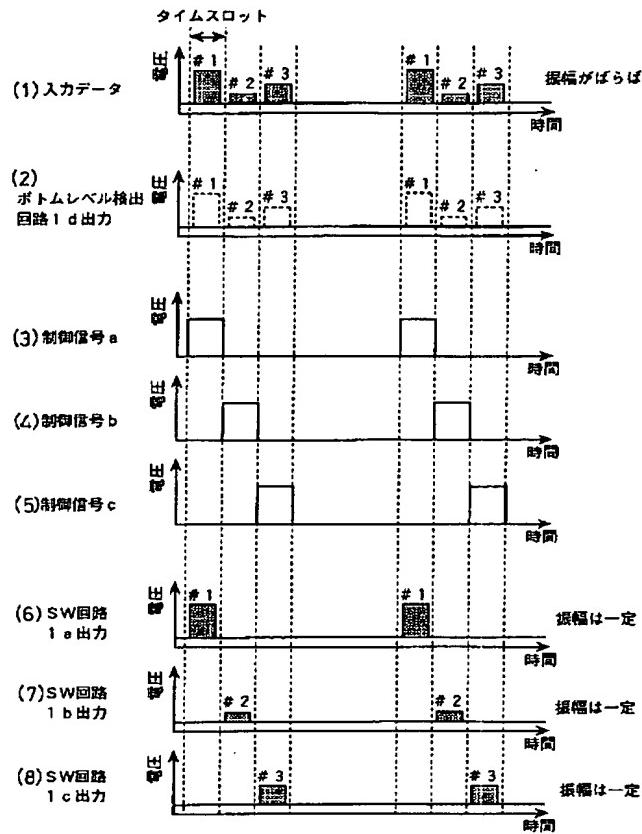
振幅等化回路、5…OR回路、7…ピークレベル検出回路部、7a, 7b, 7c…ピークレベル検出回路、8…ピークレベル選択回路部、9…中間レベル生成回路、10…リミッタアンプ、13…クロック抽出回路

部、13a, 13b, 13c…クロック抽出回路、14…クロック多重回路部、15…クロック抽出回路、16…受光素子、17…プリアンプ、18…データ再生回路。

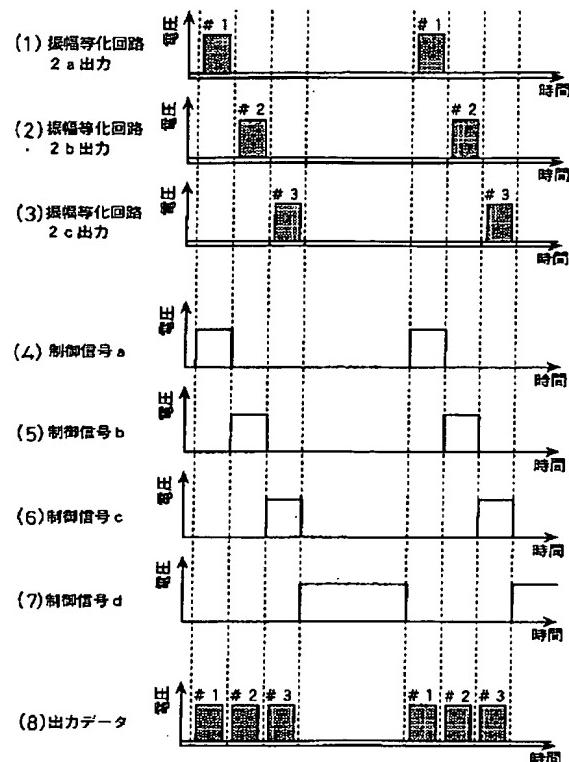
【図1】



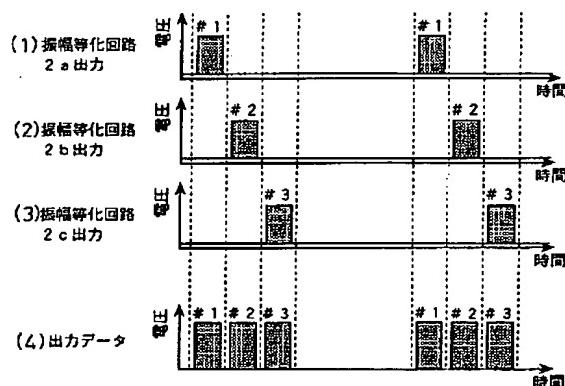
【図2】



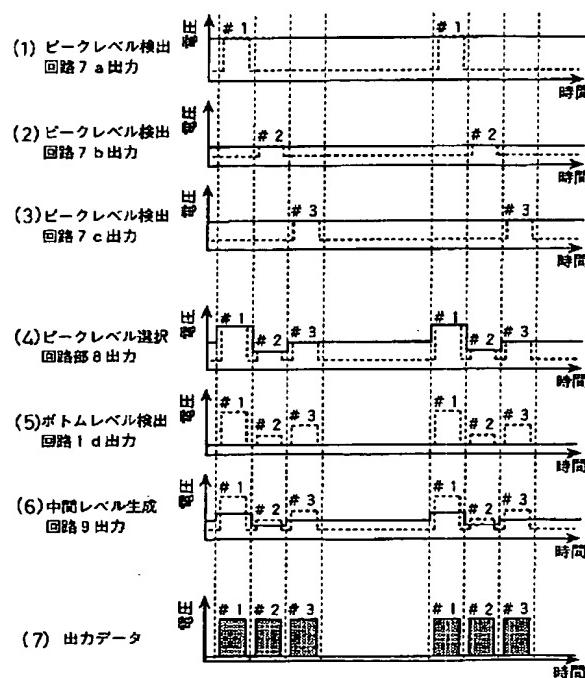
【図3】



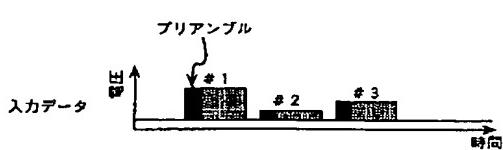
【図5】



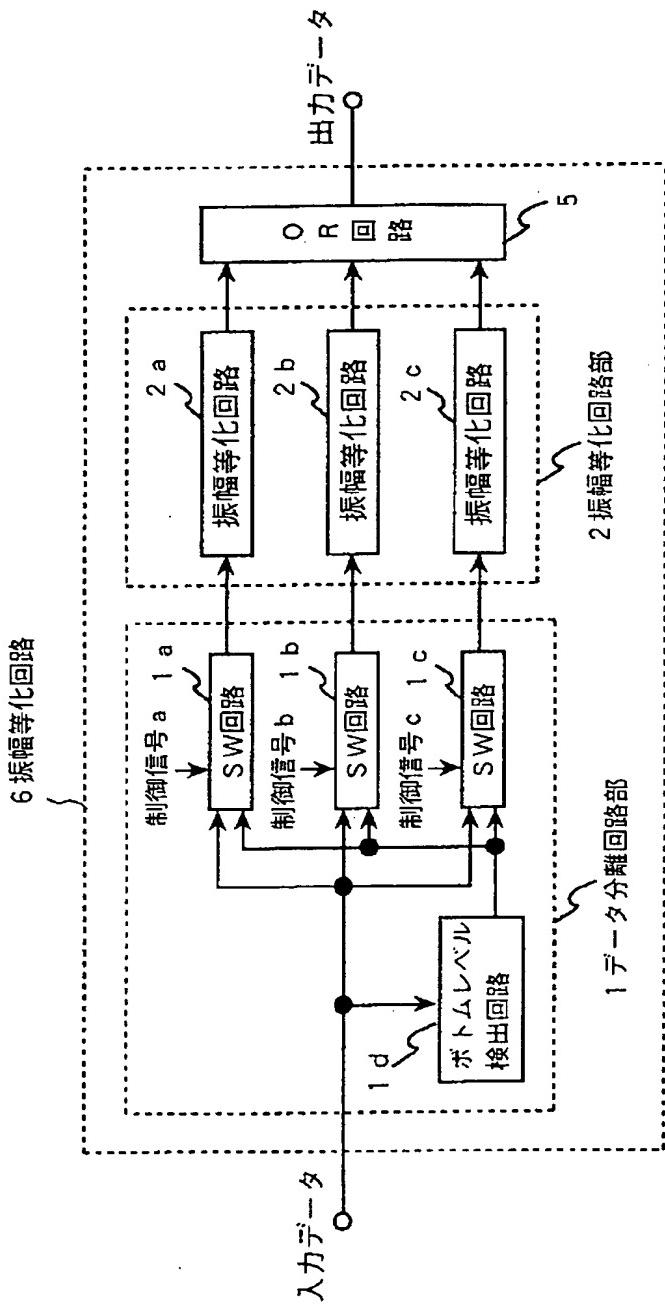
【図7】



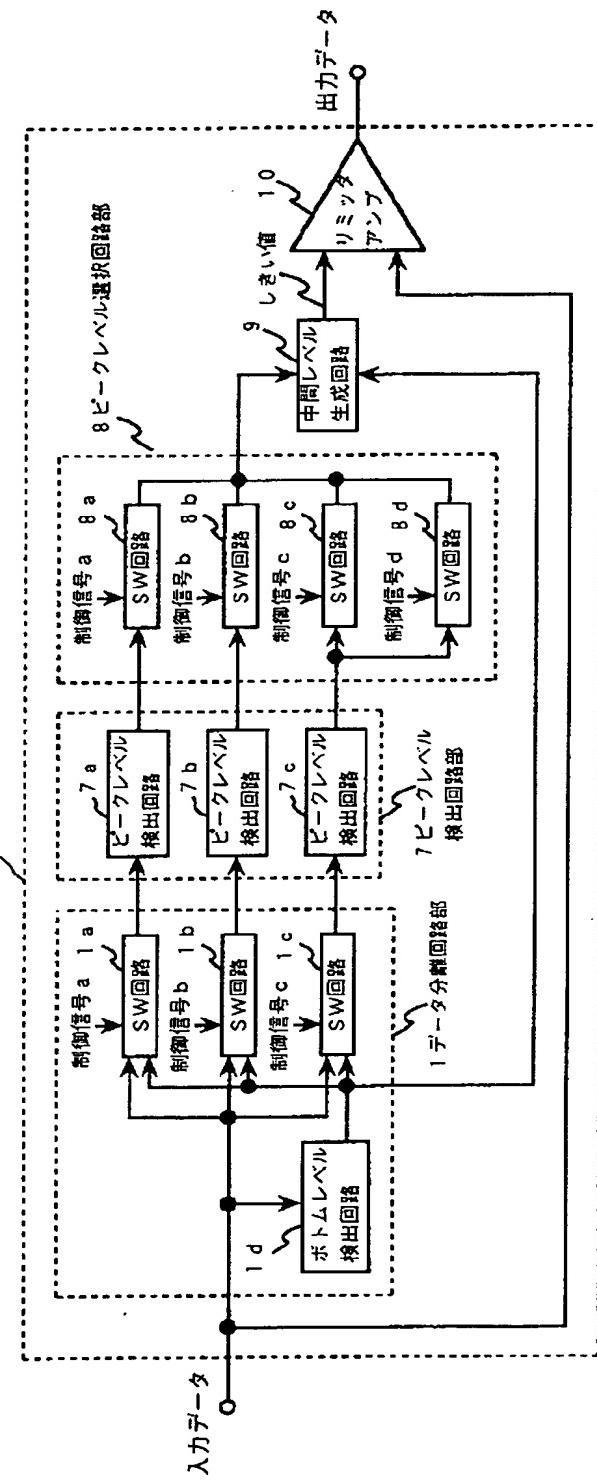
【図12】



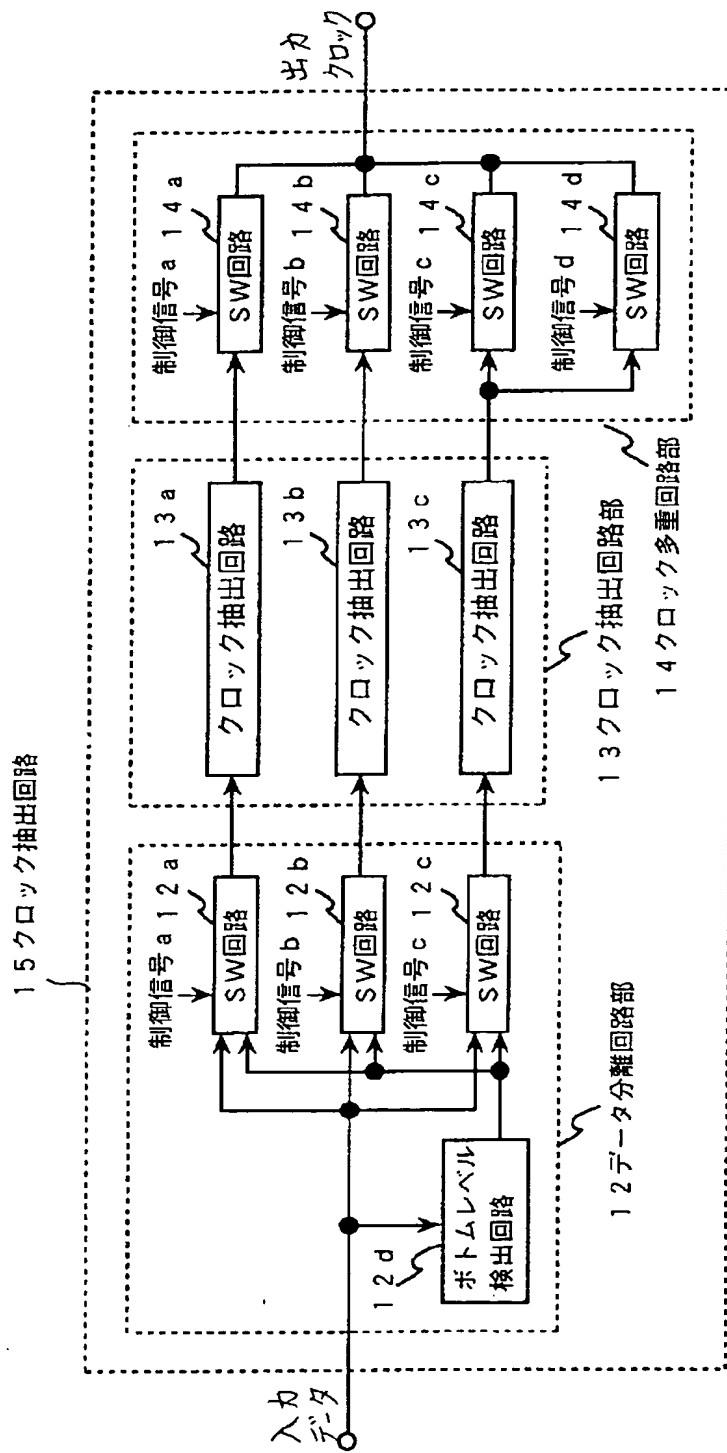
【図4】



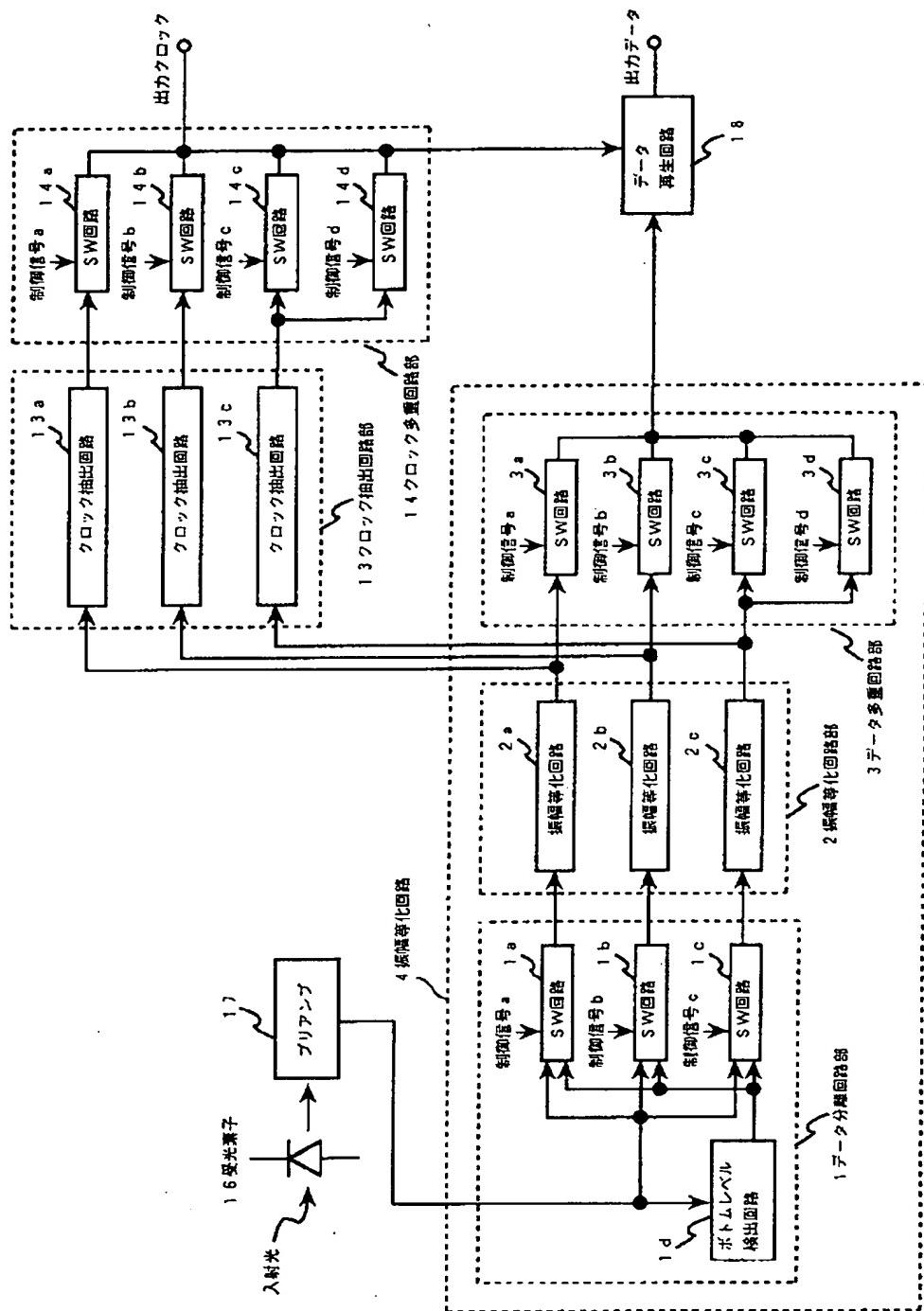
【図6】



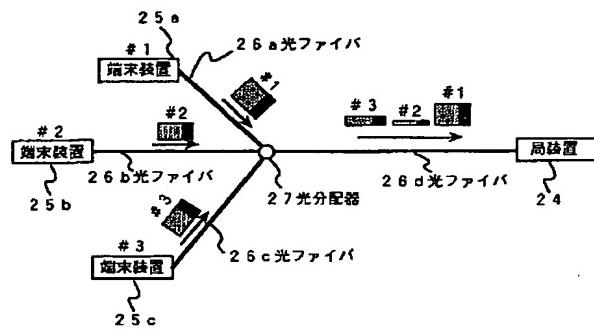
【図8】



【図9】



【図10】



【図11】

